

## II. Derece AV Blok Aritmik EKG Sinyallerinin VHDL ile FPGA-Tabanlı Tasarımı

Fatih KARATAŞ<sup>1</sup>, İsmail KOYUNCU<sup>2</sup>, Murat ALÇIN<sup>3</sup>, Murat TUNA<sup>4</sup>

<sup>1</sup>Afyon Kocatepe Üniversitesi, Fen Bilimleri Enstitüsü, Elektrik-Elektronik Mühendisliği, Afyonkarahisar.

<sup>2</sup>Afyon Kocatepe Üniversitesi, Teknoloji Fakültesi, Elektrik-Elektronik Mühendisliği, Afyonkarahisar.

<sup>3</sup>Afyon Kocatepe Üniversitesi, Teknoloji Fakültesi, Mekatronik Mühendisliği, Afyonkarahisar.

<sup>4</sup>Kırklareli Üniversitesi, Teknik Bilimler Meslek Yüksekokulu, Elektrik ve Enerji Bölümü, Kırklareli.

e-posta<sup>1</sup>: fatihkaratas@usr.aku.edu.tr

e-posta<sup>2</sup>: ismailkoyuncu@aku.edu.tr

e-posta<sup>3</sup>: muratalcin@aku.edu.tr

Sorumlu Yazar e-posta<sup>4</sup>: murat.tuna@klu.edu.tr

<https://orcid.org/0000-0003-1877-5552>

<https://orcid.org/0000-0003-4725-4879>

<https://orcid.org/0000-0002-2874-7048>

<https://orcid.org/0000-0003-3511-1336>

Geliş Tarihi: 07.07.2022

Kabul Tarihi: 18.11.2022

### Öz

Biyomedikal uygulamaları son yılların önemli araştırma alanlarından biridir. Bu çalışma alanlarından birisi de biyomedikal sinyallerdir. Bu çalışmada, VHDL ile Xilinx-Vivado programı kullanılarak, yaşamsal belirti sinyallerine ait iki aritmik (II. Derece AV-blok tip-1 ve II. Derece AV-blok tip-2) EKG sinyali FPGA çipleri üzerinde çalışmak üzere tasarlanmıştır ve uygulanmıştır. Nümerik tabanlı EKG sinyalleri referans olarak alınmış ve FPGA tabanlı EKG sinyal tasarımından elde edilen sonuçlarla karşılaştırılmıştır. Daha sonra tasarımda kullanılan yapı ve çalışmadan elde edilen test sonuçları sunulmuştur. Tasarlanan EKG sinyalleri Zynq-7000 XC7Z020 FPGA için sentezlenmiştir ve 14 kanallı AN9767 DA modülü kullanılarak osiloskoptan gözlemlenmiştir. Place-Route işlemi sonrasında elde edilen FPGA çip kaynak tüketim değerleri sunulmuştur. Sonuçlara göre II. Derece AV-blok tip-1 sinyallerinin FPGA üzerinde en yüksek çalışma frekansı 651.827 MHz ve II. Derece AV-blok tip-2 sinyallerinin FPGA üzerinde en yüksek çalışma frekansı 663.504 MHz belirlenmiştir. FPGA tabanlı EKG sinyal tasarımından elde edilen maksimum MSE hata değerleri II. Derece AV AV-blok tip-1 sinyali için 2.0011E-03 ve II. Derece AV-blok tip-2 sinyali için 1.2754E-04 olarak elde edilmiştir. Bu çalışmada, donanımsal olarak gerçekleştirilen FPGA tabanlı 2. derece AV blok aritmik EKG sinyalleri üretim sisteminin biyomedikal cihazların test, kontrol ve kalibrasyon ölçümlerinde güvenle kullanılabileceği gösterilmiştir.

### Anahtar kelimeler

Aritmi; Kalibrasyon;  
EKG; FPGA; Sinyal  
İşleme; VHDL

## Design of FPGA-based 2nd Degree AV Block Arrhythmic ECG Signals with VHDL

### Abstract

Studies in the field of biomedicine are one of the substantial study areas that have recently taken place in the literature. Studies in these research areas are based on the processing of vital sign signals. This paper presents the design and implementation of two arrhythmic (2nd degree AV-block type-1 and 2nd degree AV-block type-2) ECG signs to be used in FPGA with Xilinx-Vivado software utilizing VHDL. Numeric ECG signs were taken as reference, then confront with values related to the design of FPGA based ECG signs. Design utilized in the implementation and test outcomes got from the work have been introduced. Implemented ECG signs have been synthesized for Zynq-7000 XC7Z020 FPGA and tracked using oscilloscope using 14-channel AN9767 DA module. After Place&Route, FPGA chip statistics were introduced. The maximum working frequencies of 2nd degree AV Block Type-1 signs and 2nd degree AV Block Type-2 signs in FPGA have been obtained as 651.827 MHz and 663.504 MHz, respectively. Maximum MSE rates from the FPGA-based ECG sign implementation for 2nd degree AV Block Type-1 and 2nd degree AV Block Type-2 signs have been obtained as 2.0011E-03 and 1.2754E-04, respectively. This paper demonstrates that the hardware designed FPGA-based ECG sign production system can be implemented on FPGA and can be utilized snugly in biomedical calibration applications. This paper

### Keywords

Arrhythmia;  
Calibration; ECG; FPGA;  
Signal Processing;  
VHDL

demonstrates that FPGA-based ECG signal generation system, which is implemented as hardware, can be designed using FPGA chips and can be safely used in the test, control and calibration measurements of biomedical devices.

## 1. Giriş

Hayatın her evresinde kardiyoloji alanındaki sorunlara yönelik çözümlerin araştırılması ve olası sorunlara yönelik alınacak tedbirler, biyomedikal alanı içinde önemli olmuştur. Elektrokardiyografi (EKG) sinyalinin izlenmesi, hasta ile ilişkisinin öncelikle takip edilmesi gerekli veri setlerinden biridir. Hastayla ilgili yaşamsal belirti sinyallerinden birisi olan EKG sinyalleri, Elektrokardiyografi yöntemi kullanılarak EKG cihazları vasıtasıyla ölçülür. EKG cihazlarının ölçüm doğruluğundan emin olunabilmesi için belirli periyotlarda cihazların test, kontrol ve kalibrasyon ölçümlerinin yapılması gerekmektedir. Kalibrasyon için birçok kalibratör mevcuttur. EKG sinyallerinin kalibrasyonu EKG-Simülatörü adı verilen kalibrasyon cihazı ile yapılmaktadır. Bu çalışmada tasarımı yapılan 2. derece (Atrioventriküler) blok tip-1 ve tip-2 sinyalleri kalibrasyon için EKG simülatörlerinde kullanılmak üzere, VHDL (Çok Yüksek Hızlı Tümleşik Devre Donanımı Tanımlama Dili-Very High Speed Integrated Circuit Hardware Description Language) ile FPGA (Field Programmable Gate Array-Alanda Programlanabilir Kapı Dizileri) tabanlı modellenmiştir (Do Vale Madeiro *et al.* 2018, Karatas *et al.* 2021).

Biyomedikal cihazların test, kontrol ve kalibrasyon ölçümleri, tıbbi cihazın veya tıbbi sistemin doğruluğunun, doğruluğu bilinen standart ölçüm sistemi kullanılarak ölçülmesi ve sapmaların belirlenmesi ve kaydedilmesidir. Kısaca biyomedikal kalibrasyon ölçümleri ile tıbbi cihazların uluslararası standartlara uygun olup olmadığı denetlenmekte ve cihazın uluslararası standartlara uygun olmaması durumunda da sorunlar tespit edilmektedir. Biyomedikal kalibrasyon ölçümü, yapılan diğer endüstriyel kalibrasyon çalışmalarından farklıdır. Ölçümler genellikle test edilecek tıbbi cihazın hastanede kullanıldığı yerlerde yapılmaktadır. Biyomedikal kalibrasyon, ölçümde oluşabilecek belirsizliği minimize etmek, olası hatayı en aza

indirmek, ölçümü istenilen makul seviyeye konumlandırmak için gerçekleştirilmektedir. Bunun yanında biyomedikal kalibrasyon sayesinde aşağıda belirtilen özellikler elde edilmiş olmaktadır (Sezdi 2012, Karataş *et al.* 2021).

- Bütün ölçümlerin doğruluk seviyesi garanti edilmektedir.
- İmalat kalitesi arzu edilen miktarda arttırılmaktadır.
- İmalat aşamasında oluşabilecek sapma ve hata öncelikle bulunarak önlenmektedir.
- Ürünler ile farklı firma ürünleri arasındaki uyumluluk temin edilmektedir.
- Rekabet seviyesi yükselmektedir.
- Yüksek seviyede teknoloji yakalanmakta ve bu teknolojinin kullanılma ortamı oluşturulmaktadır.
- Üretilmiş ürünlerin Uluslararası standartlar ile uyumluluğu temin edilmektedir.
- Hastalar daha doğru teşhis ve tedavi şartlarında değerlendirilmektedir.

Sağlık kuruluşlarında kullanılan bütün cihazların belirli periyotlar içerisinde mutlaka cihazların test, kontrol ve kalibrasyon ölçümleri işlemine tabi tutulması gerekmektedir (Yang *et al.* 2018).

FPGA çipleri, donanım ya da yazılım olarak ortak tasarım gerektiren bir konseptin hızlı prototipini oluşturma, tekrar programlanabilme, paralel çalışma ve yüksek performans gibi yetenekleri nedeniyle birçok alanda kullanıldıkları gibi (Koyuncu *et al.* 2019) tıbbi sistemlerde de geniş kabul görmektedirler (Koyuncu *et al.* 2014, Karataş 2021). Sayısal donanım kullanılarak sinyal işleme alanında FPGA çipleri ile oldukça başarılı çalışmalar yapılmaktadır (Meyer-Base 2007, Akçay *et al.* 2020). Literatürde FPGA tabanlı EKG sinyalleri ile ilgili yapılmış çalışmalarda kullanılan sinyaller: EKG, hastabaşı monitörü veya ritim holter gibi tıbbi cihazlarla kaydedilmiş analog sinyallerdir (Int Kyn. 1). Literatürde yapılan çalışmalarda, farklı bölgelerde değişik türde rahatsızlıkları olan

kişilerden çeşitli zamanlarda alınan yüzlerce sinyal örneği kullanılmıştır (Goldberger *et al.* 2000). Bu alanda yapılan çalışmalar genel olarak daha önce hastadan kaydedilmiş olan EKG sinyallerinin veri tabanlarından alınması ile ADC (Analog to Digital Converter-Analog Dijital Dönüştürücü) ve DAC (Digital to Analog Converter-Dijital Analog Dönüştürücü) yardımıyla FPGA yongalarına uygulanması şeklindedir (Kumar *et al.* 2016). Hastadan alınan bu sinyaller üzerinde yapılan çalışmalar; kalp atış hızı hesaplaması (Desai 2012), ritim bozukluklarının tespiti (Madiraju *et al.* 2018), sinyaldeki tepe noktalarının tespiti (Agrawal and Gawali 2018), Sonlu Darbe Tepkisi (Finite Impulse Response-FIR) (Alhelal and Faezipour 2017), Çeyrek Ayna Süzgeç Bankası (Quadrature Mirror Filter-QMF) ve Sonsuz Darbe Tepkisi (Infinite Impulse Response-IIR) gibi filtreler uygulanarak gürültülü EKG sinyallerinin normalleştirilmesi (Su *et al.* 2019), FPGA'da EKG sinyal filtreleme (Popa 2019), QRS genişlemesi (Interventricular Conduction Delay-Ventriküller Arası İleti Gecikmesi) tespiti için EKG sinyallerinin Ayırık Dalgacık Dönüşümü (Discrete Wavelet Transform-DWT) yöntemiyle sınıflandırılması şeklindedir (Egila *et al.* 2016).

EKG Simülatörleri yaygın olarak mikrodenetleyiciler ile gerçekleştirilmektedir (Chien 2007, Caner *et al.* 2008, Paul *et al.* 2011, Zhang 2011, Cho *et al.* 2016, Shirzadfar and Khanahmadi 2018). Ancak bunlar FPGA yongaları gibi paralel proses çalışmayıp, seri olarak çalışmaktadırlar. Literatür araştırmasında görüleceği üzere FPGA tabanlı EKG sinyalleri ile ilgili yapılan çalışmalarda, insan vücudundan gelen bu sinyallerin tıbbi bir cihaz aracılığıyla kaydedilmesi, veri tabanlarında saklanması ve gerektiğinde kullanılarak oradan alınması şeklindedir (Karatas *et al.* 2020).

Kardiyovasküler sağlığı yerinde olan insanların EKG sonuçları "Normal EKG" olarak isimlendirilen, herhangi bir aritmik durum içermeyen ve kalbin elektriksel aktivitesinin sorunsuz bir şekilde işlediği sinyali temsil etmektedir. Bu elektriksel aktivitede anormallikler ortaya çıktığı zaman, EKG sinyallerinin formu bozulmaya başlamakta ve farklı formlarda ortaya çıkan bu sinyallerin her biri kalbe dair önemli bilgiler vermektedir. Bu sinyaller aritmik EKG sinyalleri olarak isimlendirilmektedir. Çok sayıda

aritmik EKG sinyali mevcuttur. Aritmik sinyaller genel olarak Ventriküler kaynaklı sinyaller ve Atrium kaynaklı sinyaller olmak üzere iki bölümde toplanmaktadır. Bu çalışmada II.derece AV blok sinyalleri ele alınmıştır. Örneğin II. derece AV blok sinyali kalpte bulunan sinoatrial düğümde kalp atımlarını sağlayan ve elektriksel aktivitenin başladığı noktadaki sinyal gecikmelerini temsil etmektedir. Bu atrium kaynaklı bir aritmik EKG sinyalidir ve hayati öneme sahip sinyallerden bazılarıdır. Başka bir örnekte "bradikardi" sinyali bir aritmik EKG sinyalidir. Bu sinyal dakikadaki kalp atım hızının 60 bpm değerinin altına düştüğünü belirtmektedir. Fakat çoğu insanın uyku sürecinde kalp hızı 60 bpm değerinin altına düşmekte ve kalbin kas ya da sinir sisteminde bir bozukluğa işaret etmemektedir. Bu nedenle II. Derece AV blok kadar hayati bir sorun teşkil etmemektedir. Aritmik EKG sinyalleri kendi aralarında gün içerisinde hastada seyretme sıklığı, sayısı ve çeşidi gibi faktörlerle öncelikli olarak incelenmeye alınmaktadır. Bu çalışmada AV blok sinyallerinin kullanılmasının birinci nedeni, AV bloklar ani kalp krizi ölümlerinde sıkça karşılaşılmaması nedeniyle önemli bir aritmik EKG sinyalidir. Bir diğer nedeni, yapılan diğer çalışmalarda toplamda 12 adet aritmik EKG sinyali biyomedikal kalibrasyon faaliyetlerine katkı sağlaması amacıyla VHDL ile FPGA üzerinde tasarlanmıştır. Bu çalışmada ise diğer çalışmalardan farklı olarak II. Derece AV-blok tip-1 ve II. Derece AV-blok tip-2 aritmik EKG sinyalleri FPGA çipi üzerinde gerçek zamanlı çalışacak şekilde modellenerek çalışmalara devam edilmiştir.

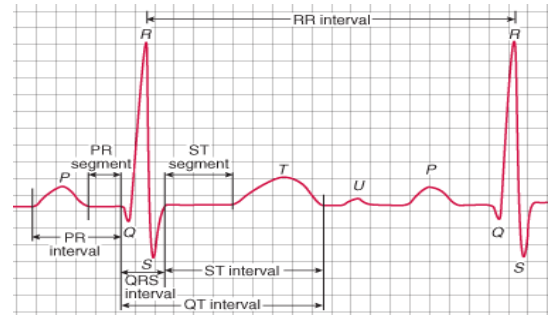
Sunulan bu çalışmada, FPGA üzerinde yeni bir yaklaşım sunularak iki aritmik EKG sinyali (II. Derece AV-blok tip-1 ve II. Derece AV-blok tip-2) modellenmiştir. Çalışmanın ilk aşamasında EKG sinyalleri nümerik olarak tasarlanmış ve ilgili sinyaller gözlemlenmiştir. Sonraki aşamada, EKG sinyalleri, yapısal bir donanım tanımlama dili olan VHDL ile Xilinx-Vivado programı ile FPGA yongalarında kullanılmak üzere modellenmiştir. Ardından bu sinyaller nümerik tabanlı sinyallerle karşılaştırılmış ve karşılaştırmadan elde edilen MSE (Mean Squared Error-Ortalama Kare Hata) hata değerleri sunulmuştur. Son aşamada ise FPGA tabanlı EKG sinyal üretim sisteminin çalışma

frekansları ve tasarımdan elde edilen çip istatistikleri sunulmuştur. Çalışmanın ikinci bölümünde EKG sinyalleri, FPGA ve sistem bileşenleri hakkında bilgi verilmiştir. Üçüncü bölümde, FPGA tabanlı EKG sinyal tasarımı ve tasarımdan elde edilen FPGA kaynak kullanım istatistikleri sunulmuştur. Son bölümde ise bu çalışmadan elde edilen sonuçlar değerlendirilmiştir.

## 2. Materyal ve Metot

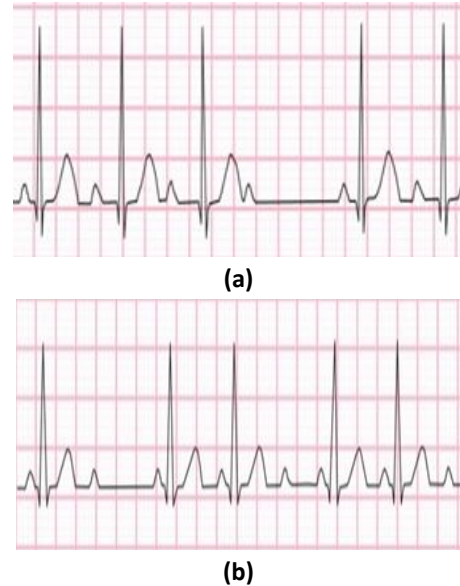
### 2.1 EKG Sinyali

Kalp dokusunun oluşturduğu elektriksel potansiyeli büyütürken, kalbin atrium ve ventriküllerinin sistol ve diastol evrelerinin aktarılması esnasında meydana gelen elektriksel aktiviteleri, hareketli milimetrik kâğıda aktarmaya ve yorumlamaya Elektrokardiyografi, kaydeden cihaza Elektrokardiyograf ve sinyale Elektrokardiyogram adı verilir (John and Fleisher 2006). Kalp kasının çalışmasını ve kalbin sinirsel iletim sistemini analiz edebilmek, teşhis koyabilmek ve ardından doğru tedavinin tatbik edilebilmesi için geliştirilen bu noninvaziv yöntem, kalbin genişlemesi, kalbe aktarılan kan miktarında oluşan azalış ve kapakçıkta meydana gelen sorunların gözlemlenebilmesi, kalbin eski veya yeni hasarları, kalbin ritim sorunları ve erken ölüm riskine sebep olan farklı kalp zarı ve kalp hastalıkları ile ilgili değerli bilgiler sunabilmektedir. Bundan dolayı EKG, biyomedikal sinyal işleme ve modelleme ile ilgili uygulamalarda en değerli araştırma konularından biri olarak değerlendirilmektedir (Alemzadeh-Ansari 2017). Bir EKG sinyali; P, Q, R, S, T ve U dalgaları, PR-Segmenti ve ST-Segmentleri ve QT-intervali, PR-intervali, RR-intervallerinden (aralıklarından) oluşmaktadır. Şekil 1'de normal sinüs ritmi sinyali ve kısımları verilmiştir. Aritmik sinyallerde bu değerler değişkenlik göstermektedir (Wagner 2005).



Şekil 1. Normal EKG sinyali ve kısımları

Bu çalışmada iki adet aritmik EKG sinyali (II. Derece AV-blok tip-1 ve II. Derece AV-blok tip-2) referans alınarak FPGA tasarımı kullanılmıştır. Bu sinyaller sırasıyla Şekil 2 (a) ve (b)'de gösterilmiştir (Int Kyn. 2).



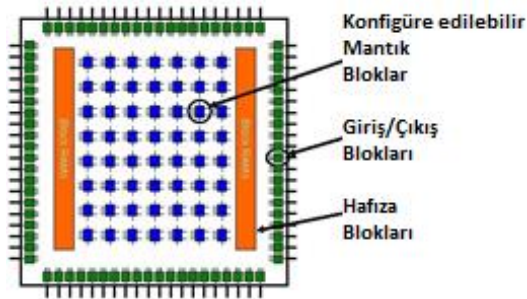
Şekil 2. II. Derece AV Blok Aritmik EKG sinyalleri, (a) Tip-1 sinyali ve (b) Tip-2 sinyali

### 2.2 FPGA Geliştirme Kartı ve Sistem Bileşenleri

FPGA, konfigüre edilebilir lojik bloklar ve bu blokların arasında yer alan ara bağlantılardan meydana gelen ve geniş çalışma alanını içeren sayısal bütünleşmiş devrelerdir. Tasarım yapan kişinin ihtiyacı olan lojik fonksiyonları icra edebilmesi amacıyla üretilmektedir. Bundan dolayı, tasarım yapan kişi her bir lojik bloğun fonksiyonunu tarafından düzenleyebilmektedir. FPGA çipleri sayesinde temel lojik kapılarının ve yapı bakımından daha kompleks devre elemanlarının fonksiyonelliği artmaktadır. Sahada programlanabilir şeklinde isimlendirilmesinin sebebi, lojik bloklarının ve ara bağlantılarının üretim sürecinin sonrasında yeniden

konfigüre edilebilmesindedir. Benzer platformlar ile karşılaştırıldığında paralel çalışabilme, az miktarda güç sarfiyatı, hızlı ilk prototip oluşturma, performansının ve çalışma frekansının yüksek oluşu vb. özelliklerle ön planda olmaktadır (Tlelo-Cuautle *et al.* 2016). FPGA çipi VHDL ve Verilog gibi donanım tanımlama dilleri ile programlanabilmektedir (Alçın *et al.* 2021).

Şekil 3'te gösterildiği gibi standart bir FPGA çipi, konfigüre edilebilir mantık blokları (Configurable Logic Blocks (CLB)), Giriş/Çıkış blokları (Input-Output Blocks) ve ara bağlantılar olmak üzere 3 temel bileşenden oluşmaktadır (Moyosis *et al.* 2020).



Şekil 3. FPGA mimarisi

CLB'ler mantıksal fonksiyonların oluşturulabildiği Look-up table (LUT), tek bitlik bilgilerin saklanabildiği Flip-Flop'lar, bilgi akışını yönlendiren çoklayıcılar ve toplayıcıların tanımlanmasında kullanılan "elde-zinciri" gibi çeşitli elemanlardan oluşurlar. Oluşturulmak istenen mantıksal devreler çeşitli yazılım araçları sayesinde bir CLB'ye veya parçalara bölünerek birden fazla CLB'ye otomatik olarak uygulanır. IOB'ler FPGA çiplerinin programlanabilir Giriş/Çıkış terminalleridir. Bu bloklar içinde yer alan pinler isteğe göre giriş, çıkış ya da çift yönlü olarak programlanabilir. Bu blokların temel görevi dış dünya ile çip içindeki donanım arasında köprü vazifesi görmektir. FPGA çipinin paket türüne göre bir çipteki IOB sayısı 1000'li sayılara ulaşabilmektedir. Ara bağlantılar, hem CLB'ler arasında hem de CLB'ler ile IOB'ler arasında bağlantıları yapılandırmada kullanılırlar. Programlanabilir olduklarından çok esnek bir yapıya sahiptirler. Bu temel bileşenlerin yanında bazı FPGA çipleri, sayısal sinyal işaret işleme için tasarlanmış özel bloklar, RAM hafıza blokları, hatta işlemci

çekirdek üniteleri içerecek şekilde üretilmektedirler (Tuna and Fidan, 2018).

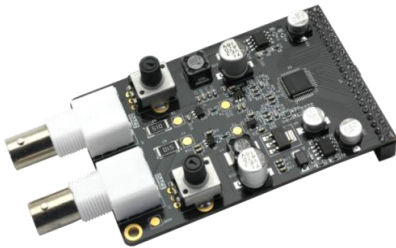
FPGA'lar PAL (Programmable Array Logic-Programlanabilir Dizi Mantıkları), PLA (Programmable Logic Array-Programlanabilir Mantık Dizisi) gibi mantıksal kapı dizilerine benzer mantıkta üretilen ancak onlardan çok daha üstün teknolojiye sahip yongalardır. FPGA'lar, üzerlerinde mantıksal kapı dizilerinden başka, hazır çarpıcı blokları, hazır RAM blokları, saat frekansı üretimi için DLL/PLL blokları ve hatta daha gelişmiş mimarilerde gömülü işlemci çekirdekleri bulundurmaktadır. Yarıiletken teknolojisinin gelişimi ve mikronaltı teknolojilerin pratikte uygulanmaya başlamasından itibaren bir zamanlar kapı gecikmelerinin yanında ihmal edilen yol gecikmeleri de hesaba katılmak durumunda kalmıştır. İşte bu nedenle FPGA'lar da kullanılan yarıiletken teknolojisi ile bağlantılı olarak, tasarımlar da farklı FPGA'lar da farklı saat frekanslarında çalışabilmektedir. Yine aynı şekilde üzerinde daha fazla sayıda mantıksal birim ve daha büyük boyutlarda RAM blokları bulunduran FPGA'lar da daha fazla işleme imkân tanınmasından dolayı daha kabiliyetlidir. FPGA'lar üzerinde gerçekleştirilen tasarımlar, mikroişlemcilerin aksine tamamen bir devreye karşılık gelmektedir. Bu durumda bir devrenin bir işlemi gerçekleştirme süresi, tasarıma bağlı olmakla birlikte sadece kapı gecikmeleri kadar uzun sürecektir. Hâlbuki mikroişlemcili sistemlerde bir tek komutun gerçekleşmesi, işlemcinin mimarisine bağlı olarak çok sayıda saat periyodu sürmektedir. Kısacası mikroişlemcilerde işler adım adım, sayısal işaret işlemcilerde (DSP) bir adımda üç, dört işlem şeklinde gerçekleşirken, FPGA'lar da işlemler blok blok gerçekleşmektedir. Bu avantajından dolayı FPGA tabanlı gerçeklemler özellikle gerçek zamanlı uygulamalarda yani gecikmeye tahammülün olmadığı, zamanlamanın çok önemli olduğu noktalarda mikroişlemcili bir sistem gerçekleştirilmesine tercih edilmektedir (Tuna and Fidan, 2016). FPGA yongaları son yıllarda birçok alanda yaygın olarak kullanılmaktadır. YSA (Yapay Sinir Ağları- Artificial Neural Network) (Alçın *et al.* 2016), bulanık mantık uygulamaları (Karataş *et al.* 2020), kaotik osilatör tasarımı (Akgul *et al.* 2015), PRNG (Pseudo Random Number Generator-Sözde Rasgele Sayı Üreteçleri) ve TRNG (True Random Number Generator-Gerçek

Rasgele Sayı Üreteçleri) (Tuna 2020), robotik (Pan *et al.* 2020), uzay, havacılık ve savunma sanayii (Fu *et al.* 2009), video ve görüntü işleme, biyomedikal uygulamalar gibi amaca yönelik bütünleşmiş prototipler ve tıbbi cihazlar bu çalışma alanlarına örnek verilebilir (Chowdhury *et al.* 2008, Koyuncu *et al.* 2015, Tuncer *et al.* 2015, Taşdemir *et al.* 2020, Arshad *et al.* 2020).

Bu çalışma, Şekil 4 (a)'da gösterilen ALINX AX7020 FPGA geliştirme kartı ve Şekil 4 (b)'de gösterilen 14-bit AN9767 DAC modülü kullanılarak gerçekleştirilmiştir. ALINX AX7020 FPGA geliştirme kartı üzerinde, 40 pinli FPGA paketi Xilinx Zynq7000 serisi yongaları, model olarak ta XC7Z020-2CLG400'i kullanılmaktadır. ZYNQ7000 yongası, İşlemci Sistemi (Operating System-OS) bölümüne ve Programlanabilir Mantık (Programmable Logic-PL) bölümüne ayrılmaktadır. AX7020 geliştirme kartında, ZYNQ7000'in PS ve PL bölümleri, kullanıcı rahatlığı ve işlevsel doğrulama için çok sayıda harici arabirim ve cihazla donatılmıştır (Int Kyn. 3).



(a)



(b)

Şekil 4. (a) ALINX AX7020 FPGA geliştirme kartı, (b) 14-bit AN9767 DAC kartı

### 3. Bulgular

#### 3.1 FPGA Tabanlı EKG Sinyal Tasarımı

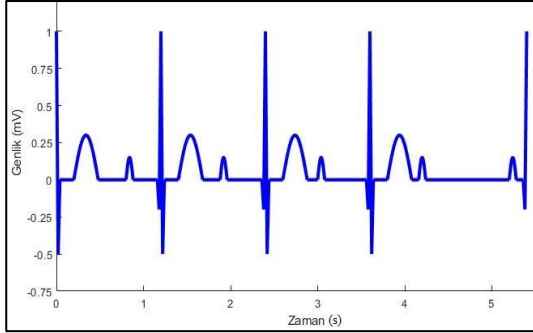
Sistem, Xilinx Vivado programında VHDL ile parametreler ile ilgili EKG sinyalini üretecek blok

olarak tasarımı gerçekleştirilmiştir. Sistem çalışma mantığı; çalışma ile elde edilen matematiksel denklem sonuçlarının bakma tabloları (LUT, Look Up Table) içine kaydedilmesine dayanmaktadır. Sonrasında faz kaydının oluşturulmasıyla, yükselen her saat darbesinde faz kaydı arttırılmaktadır ve arttırılan bu değer, bakma tablosundaki değerlerin yüklenerek çıkışa aktarılması suretiyle modellenmesi gerçekleştirilmiştir. Bu durum darbe boyunca her bir periyotta tekrar edilmektedir. Sinyal ile ilgili nümerik modelleme literatüre uygun bir şekilde ve MIT-BIH aritmi veri tabanının Physiobank ATM bölümü referans alınarak oluşturulmuştur. Tekrarlama periyodu 11 vuru/dk (bpm) olan II. derece AV Blok Tip-1 sinyaline ait matematiksel denklemler parçalı fonksiyonlar halinde Çizelge 1'de verilmiştir.

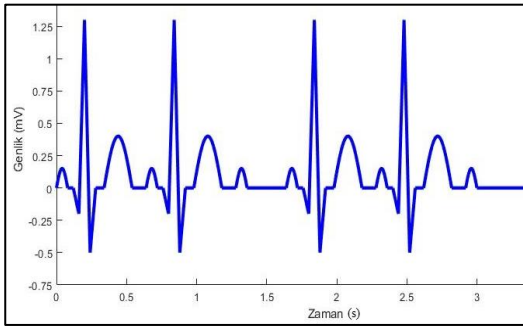
Çizelge 1. II. derece AV-blok tip-1 sinyaline ait parçalı fonksiyonlar.

t (sn)	y <sub>i</sub> (mV)	Denklem
0.000:0.002:0.020	-30*t + 0.4 = y <sub>1</sub>	(1)
0.020:0.002:0.040	10*t - 0.4 = y <sub>2</sub>	(2)
0.040:0.005:0.200	0*t = y <sub>3</sub>	(3)
0.200:0.002:0.480	0.12 * sin ((t-0.2)*π/0.28) = y <sub>4</sub>	(4)
0.480:0.002:0.800	0*t = y <sub>5</sub>	(5)
0.800:0.002:0.880	0.06 * sin ((t-0.8)*π/0.08) = y <sub>6</sub>	(6)
0.880:0.005:1.160	0*t = y <sub>7</sub>	(7)
1.160:0.005:1.180	-4*t + 4.64 = y <sub>8</sub>	(8)
1.180:0.005:1.200	24*t - 28.4 = y <sub>9</sub>	(9)
1.200:0.002:1.220	-30*t + 36.4 = y <sub>10</sub>	(10)
1.220:0.002:1.240	10*t - 12.4 = y <sub>11</sub>	(11)
1.240:0.005:1.400	0*t = y <sub>12</sub>	(12)
1.400:0.002:1.680	0.12 * sin ((t-1.4)*π/0.28) = y <sub>13</sub>	(13)
1.680:0.002:1.880	0*t = y <sub>14</sub>	(14)
1.880:0.002:1.960	0.06 * sin ((t-1.88)*π/0.08) = y <sub>15</sub>	(15)
1.960:0.005:2.360	0*t = y <sub>16</sub>	(16)
2.360:0.005:2.380	-4*t + 9.44 = y <sub>17</sub>	(17)
2.380:0.005:2.400	24*t - 57.2 = y <sub>18</sub>	(18)
2.400:0.002:2.420	-30*t + 72.4 = y <sub>19</sub>	(19)
2.420:0.002:2.440	10*t - 24.4 = y <sub>20</sub>	(20)
2.440:0.005:2.600	0*t = y <sub>21</sub>	(21)
2.600:0.002:2.880	0.12 * sin ((t-2.6)*π/0.28) = y <sub>22</sub>	(22)
2.880:0.002:3.000	0*t = y <sub>23</sub>	(23)
3.000:0.002:3.080	0.06 * sin ((t-3)*π/0.08) = y <sub>24</sub>	(24)
3.080:0.005:3.560	0*t = y <sub>25</sub>	(25)
3.560:0.005:3.580	-4*t + 14.24 = y <sub>26</sub>	(26)
3.580:0.005:3.600	24*t - 86 = y <sub>27</sub>	(27)
3.600:0.002:3.620	-30*t + 108.4 = y <sub>28</sub>	(28)
3.620:0.002:3.640	10*t - 36.4 = y <sub>29</sub>	(29)
3.640:0.005:3.800	0*t = y <sub>30</sub>	(30)
3.800:0.002:4.080	0.12 * sin ((t-3.8)*π/0.28) = y <sub>31</sub>	(31)
4.080:0.002:4.160	0*t = y <sub>32</sub>	(32)
4.160:0.002:4.240	0.06 * sin ((t-4.16)*π/0.08) = y <sub>33</sub>	(33)
4.240:0.005:5.200	0*t = y <sub>34</sub>	(34)
5.200:0.005:5.280	0.06 * sin ((t-5.2)*π/0.08) = y <sub>35</sub>	(35)
5.280:0.005:5.360	0*t = y <sub>36</sub>	(36)
5.360:0.005:5.380	-4*t + 21.44 = y <sub>37</sub>	(37)
5.380:0.005:5.400	24*t - 129.2 = y <sub>38</sub>	(38)

Nümerik modeli oluşturularak tasarlanan II. derece AV Blok Tip-1 ve Tip-2 sinyallerine ait nümerik modelleme sonuçları Şekil 5 (a) ve (b)'de verilmiştir.

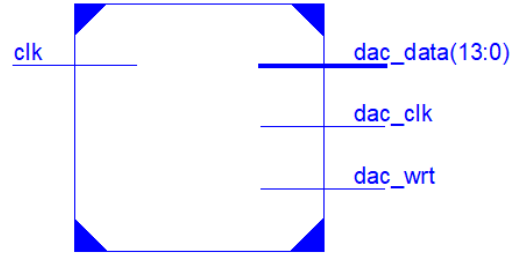


(a)



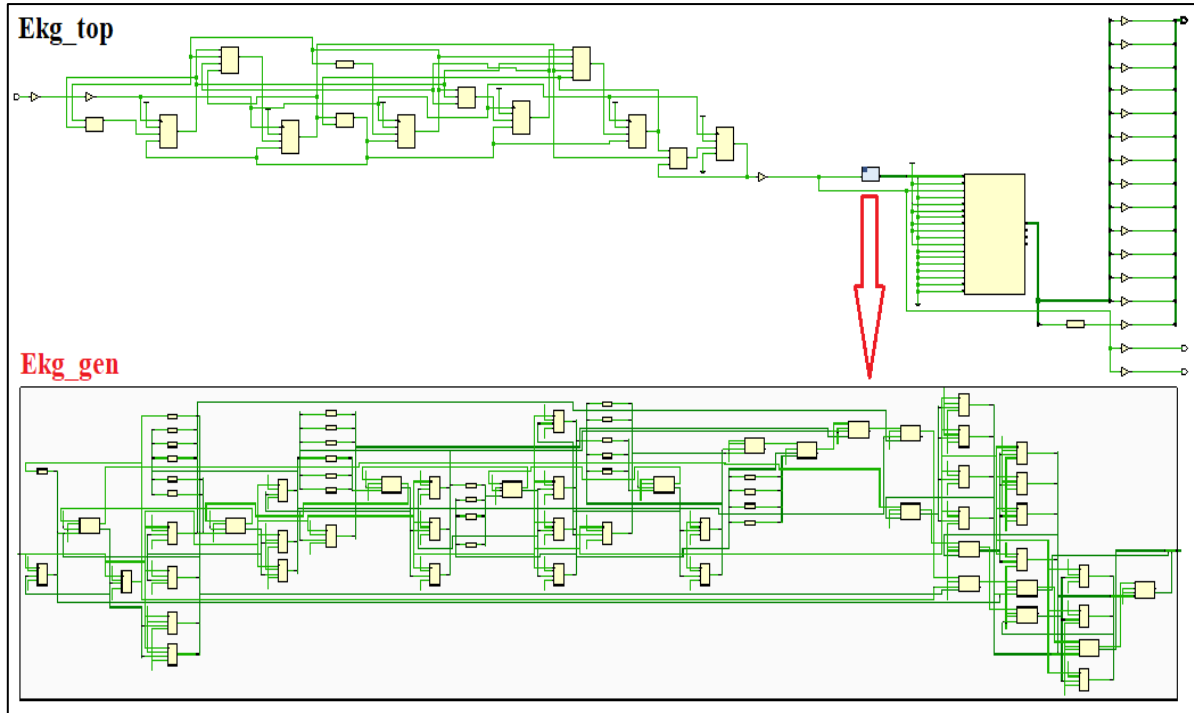
(b)

Şekil 5. (a) II. derece AV-blok tip-1 nümerik modeli ve (b) II. derece AV-blok tip-2 nümerik modeli



Şekil 6. Parametrelere göre EKG sinyalleri üreten sistemin birinci seviye RTL şeması.

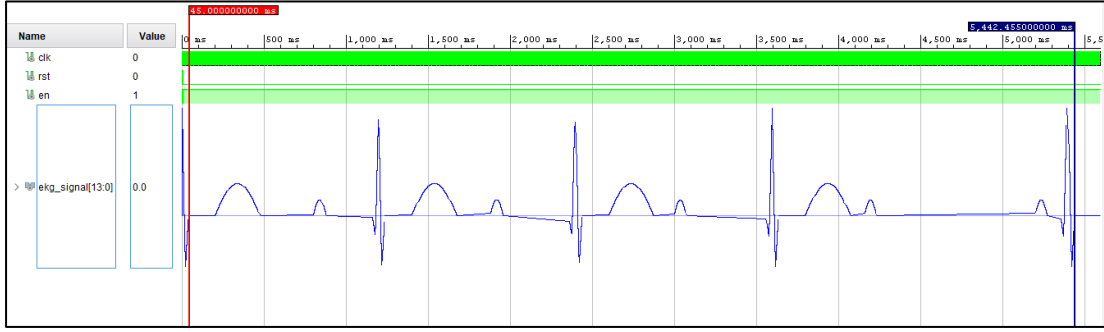
FPGA çiplerinde çalışmak üzere tasarlanan FPGA tabanlı EKG sinyali üretim sisteminin top modülünün birinci mertebeden blok diyagramı Şekil 6'da verilmiştir. Sistemin ikinci mertebeye blok diyagramı ve EKG Sinyalini üreten blok Şekil 7'de verilmiştir.



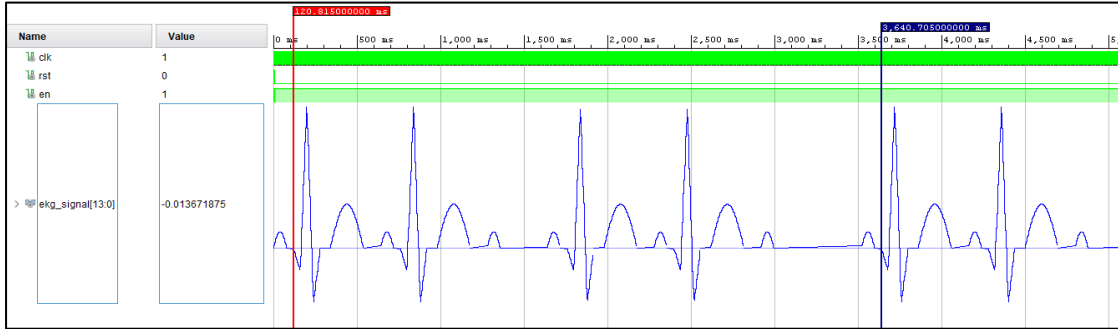
Şekil 7. FPGA tabanlı EKG sinyalleri üreten sistemin ikinci seviye RTL şeması

VHDL dili kullanılarak tasarımı FPGA çipi üzerinde çalışacak şekilde tasarlanan bu iki aritmik EKG sinyalinin test edilebilmesi amacı ile VHDL dilinde testbench kodu yazılmıştır. Bu işlemin ardından tasarlanan sistem Xilinx-Vivado programı kullanılarak test edilmiştir. Tasarlanan FPGA-tabanlı

iki aritmik EKG sinyaline ait Vivado simülasyon sonuçları II. derece AV-blok tip-1 sinyali için Şekil 8 ve II. derece AV-blok tip-2 sinyali için Şekil 9'da gösterilmiştir.

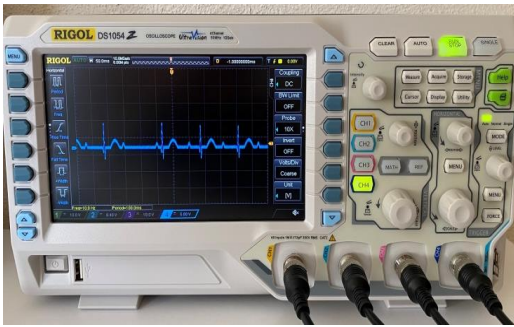


Şekil 8. II. derece AV-blok tip-1 Vivado Simülasyonu



Şekil 9. II. derece AV-blok tip-2 Vivado Simülasyonu

Tasarlanan EKG sinyalleri Zynq-7000 XC7Z020 FPGA için sentezlenmiş ve 14-kanallı AN9767 DA modülü kullanılarak osiloskop üzerinden gözlemlenmiştir. Osiloskoptan gözlemlenen II. derece AV-blok tip-1 sinyali Şekil 10 (a)'da ve II. derece AV-blok tip-2 sinyali Şekil 10 (b)'de verilmiştir.



(a)



(b)

Şekil 10. (a) II. derece AV-blok tip-1 osiloskop çıktısı ve (b) II. derece AV-blok tip-2 osiloskop çıktısı

Tasarlanan II. derece AV-blok tip-1 ve tip-2 sinyalleri Zynq-7000 XC7Z020 FPGA çipi için sentezlenmiştir. Sonraki aşamada Place&Route işlemlerinin ardından tasarlanan sisteme ait FPGA çip istatistikleri Çizelge 2 ve Çizelge 3'te sunulmuştur. II. derece AV-blok tip-1 sinyaline ait en yüksek çalışma frekansı 651.827 MHz, II. derece AV-blok tip-2 sinyaline ait en yüksek çalışma frekansı 663.504 MHz olarak gözlemlenmiştir. FPGA tabanlı tasarımlarda maksimum çalışma frekansını etkileyen en önemli faktörlerden birisi tasarımda kullanılan FPGA çipinin çalışma frekansıdır. Bu değer genellikle varsayılan olarak sabit olmakla birlikte dışarıdan geliştirme kartlarına yapılan eklentiler ile belirli değerler içerisinde değiştirilebilmektedir. Maksimum çalışma frekanslarını sınırlayan diğer bir faktör ise tasarımda kullanılan yapıların senkron bir şekilde çalışmasını sağlayan saat darbesinin (Clock Pulse) bir yapıdan (örneğin Flip-Flop) çıkıp diğer bir yapıya girinceye kadar ne kadar süre geçtiği faktörüdür. Bu süre uzadıkça maksimum çalışma frekansı düşmektedir. Process yapıları da çalışma frekansını etkileyen diğer bir faktördür. FPGA tabanlı tasarımlarda process yapıları sıralı (sequential) çalışmakta ancak process yapıları kendi aralarında paralel olarak



çalışmaktadırlar. FPGA tabanlı gerçekleştirilen bu tasarımda AV blok sinyalinin matematiksel olarak tasarlandığı bir process ve FPGA kartı için tasarlanmış iki ana process bulunmaktadır. Bu çalışmada, donanımsal olarak gerçekleştirilen FPGA tabanlı 2. derece AV blok aritmetik EKG sinyalleri teknik personel tarafından biyomedikal cihazların test, kontrol ve kalibrasyon ölçümlerinin yapılabilmesi için tasarlanmıştır. Bu nedenle tasarımların maksimum çalışma frekansı olan 651.827 ile 663.504 MHz değerleri sunulan çalışma için oldukça yeterli olduğu değerlendirilmiştir.

**Çizelge 2.** ZYNQ-7000 XC7Z020 çipi için II. Derece AV-blok tip-1 sinyali kaynak kullanım istatistikleri.

FPGA Kaynakları	Kullanılan	Toplam	Kullanım Oranı (%)
Slice Registers sayısı	39	106,400	0.036
Slice LUTs sayısı	40	53,200	0.075
LUT-FF çiftlerinin sayısı	38	40	95
IOBs sayısı	17	125	13.6
Blok RAM/FIFO sayısı	1	140	0.714
Mak. Çalışma Frekans (MHz)		651.827	

**Çizelge 3.** ZYNQ-7000 XC7Z020 çipi için II. Derece AV-blok tip-2 sinyali kaynak kullanım istatistikleri.

FPGA Kaynakları	Kullanılan	Toplam	Kullanım Oranı (%)
Slice Registers sayısı	37	106,400	0.034
Slice LUTs sayısı	38	53,200	0.071
LUT-FF çiftlerinin sayısı	36	40	90
IOBs sayısı	17	125	13.6
Blok RAM/FIFO sayısı	1	140	0.714
Mak. Çalışma Frek. (MHz)		663.504	

Nümerik II. derece AV-blok tip-1 ve Tip-2 sinyalleri referans alınarak FPGA-tabanlı II. derece AV-blok tip-1 ve Tip-2 sinyalleri hata değerleri karşılaştırılmıştır. Tablo 4'te II. derece AV-blok tip-1 sinyalinin nümerik ve FPGA-tabanlı karşılaştırılması sunulmuştur. Elde edilen sonuçlara göre FPGA-tabanlı II. derece AV-blok tip-1 sinyali en yüksek MSE değeri  $2.0011E-03$  ve II. derece AV-blok tip-2 sinyali en yüksek MSE değeri  $1.2754E-04$ 'tür. MSE değeri sifıra yakın olan tahminleyicilerin daha iyi bir performans gösterdiği söylenebilmektedir.

**Çizelge 4.** II. Derece AV-blok tip-1 sinyalinin Nümerik ve Vivado sonuçlarının karşılaştırılması.

II. Derece AV-blok tip-1	t (s)		y <sub>i</sub> (mV)	
	Nümerik ve Vivado	Nümerik	Nümerik	Vivado

	0.00000	1.000000	1.000061
	0.12000	0.000000	0.000000
	0.34000	0.300000	0.299988
Denklemler "1-11"	0.84000	0.150000	0.149841
	1.02000	0.000000	0.000000
	1.17000	-0.100000	-0.118408
	1.19000	0.400000	0.260925
	1.21000	0.250000	0.340271
	1.22000	-0.500000	-0.451660
	1.30000	0.000000	0.000000
	1.54000	0.300000	0.299988
	1.92000	0.150000	0.149841
	2.16000	0.000000	0.000000
	2.37000	-0.100000	-0.101013
	2.39000	0.400000	0.472107
	2.41000	0.250000	0.076294
Denklemler "12-30"	2.43000	-0.250000	-0.296326
	2.52000	0.000000	0.000000
	2.74000	0.300000	0.299988
	3.04000	0.150000	0.149841
	3.32000	0.000000	0.000000
	3.57000	-0.100000	-0.136108
	3.59000	0.400000	0.366516
	3.63000	-0.250000	-0.208130
	3.72000	0.000000	0.000000
	3.94000	0.300000	0.299988
	4.12000	0.000000	0.000000
	4.72000	0.000000	0.000000
Denklemler "31-38"	5.24000	0.150000	0.149841
	5.32000	0.000000	0.000000
	5.37000	-0.100000	-0.136108
	5.39000	0.400000	0.366516
	5.40000	1.000000	1.000061

#### 4. Tartışma ve Sonuç

Bu çalışmada, biyomedikal cihazların test, kontrol ve kalibrasyon ölçümleri için yaşamsal belirtilerden biri olan iki aritmetik EKG sinyali (II. derece AV-blok tip-1 ve II. derece AV-blok tip-2) VHDL dilinde Xilinx-Vivado programı ile FPGA çipleri üzerinde çalışmak üzere tasarlanmış ve uygulanmıştır. Bu sinyaller ilk olarak nümerik olarak modellenmiş ve elde edilen grafiklerin doğruluğu literatüre uygun olarak karşılaştırılmış ve değerlendirilmiştir. Daha sonra Xilinx-Vivado programında VHDL kullanılarak FPGA çipleri üzerinde çalışmak üzere tasarlanmıştır. Ardından nümerik tabanlı EKG sinyalleri referans FPGA tabanlı EKG sinyal tasarımından elde edilen sonuçlarla karşılaştırılmıştır. Bu karşılaştırma sonucunda FPGA tabanlı EKG sinyal tasarımları en yüksek çalışma frekansları 651.827 ile 663.504 MHz olarak elde edilmiştir. Tasarlanan sistemlere ait MSE değerleri  $2.0011E-03$  ile  $1.2754E-04$  olarak elde edilmiştir. Bir sinyalin dinamik davranışında nonlineer karakteristik arttıkça sinyalin modellenebilmesi için kullanılan matematiksel denklemlerde aynı oranda zorlaşmaktadır. Bunun

sonucu olarak gerçek zamanlı olarak modellenen sinyal ile model sinyal arasındaki hata değeri artmaktadır. Bu nedenle II.derece AV blok tip 2 sinyali, II.derece AV blok tip 1 sinyaline göre MSE değeri daha yüksek çıkmaktadır. Tasarlanan EKG sinyalleri ALINX AX7020 FPGA kartı üzerinde gerçek zamanlı olarak elde edilmiş ve bu sinyaller 14-kanallı AN9767 DAC modülü kullanılarak osiloskoptan gözlemlenmiştir. Place-Route işlemi sonrasında elde edilen FPGA cip kaynak tüketim değerleri sunulmuştur. Bu çalışma kapsamında sunulan FPGA-tabanlı EKG sinyallerinin biyomedikal kalibrasyon uygulamalarında ve kardiyoloji alanındaki tıbbi cihazların kalibrasyon testleri için kullanılan EKG Simülatörlerinde güvenli bir şekilde kullanılabilceği gösterilmiştir. Çalışmada sunulan EKG sinyalleri lead-II derivasyonu baz alınarak tasarlanmıştır. İleriki çalışmalarda 3, 6 ve 12 derivasyonlu şekilde tasarım yeniden düzenlenebilir. Ayrıca diğer aritmik EKG sinyaller ve NIBP, SPO<sub>2</sub>, ETCO<sub>2</sub> sinyalleri FPGA-tabanlı modellenebilir.

#### Teşekkür

Bu çalışma 119E659 numaralı proje ile Türkiye Bilimsel ve Teknolojik Araştırma Kurumu (TÜBİTAK) tarafından desteklenmiştir.

#### 5. Kaynaklar

- Agrawal, A., and Gawali, D. H., 2018. FPGA-based peak detection of ECG signal using histogram approach. *In International Conference on Recent Innovations in Signal Processing and Embedded Systems, Bhopal India*, 463–468.
- Akçay, M. Ş., Koyuncu, I., Alçın, M., and Tuna, M., 2020. Implementation of IQ-Math Based RadBas Activation Function on FPGA. *In International Asian Congress on Contemporary Sciences-IV*, Baku Azerbaijan, 599–607.
- Akgul, A., Calgan, H., Koyuncu, I., Pehlivan, I., and Istanbulu, A., 2015. Chaos-based engineering applications with a 3D chaotic system without equilibrium points. *Nonlinear Dynamics*, **84**(2), 481–495.
- Alçın, M., Pehlivan, İ., and Koyuncu, İ., 2016. Hardware design and implementation of a novel ANN-based chaotic generator in FPGA. *Optik-International*

*Journal for Light and Electron Optics*, **127**(13), 5500–5005.

- Alçın, M., Tuna, M., Erdogmuş, P., and Koyuncu, İ., 2021. FPGA-based Dual Core TRNG Design Using Ring and Runge-Kutta-Butcher based on Chaotic Oscillator. *Chaos Theory and Applications*, **3**(1), 20–28.
- Alemzadeh-Ansari, M. J., 2017. Chapter 3- Electrocardiography, *In Practical Cardiology*, Elsevier, 17–60.
- Alhelal, D., and Faezipour, M., 2017. Denoising and beat detection of ECG signal by Using FPGA. *International Journal of High Speed Electronics and Systems*, **26**(3), 1740016.
- Arshad, Shaukat, S., Ali, A., Eleyan, A., Shah, A. S., and Ahmad, J., 2020. Chaos Theory and its Application: An Essential Framework for Image Encryption. *Chaos Theory and Applications*, **2**(1), 17–22.
- Caner, C., Engin, M., and Engin, E. Z., 2008. The programmable ECG simulator. *Journal of Medical Systems*, **32**(4), 355–359.
- Chien, J. R. C., 2007. Design of a programmable electrocardiogram generator using a microcontroller and the CPLD technology. *In IECON 2007- 33rd Annual Conference of the IEEE Industrial Electronics Society*, Taipei Taiwan, 2152–2157.
- Cho, S., Lee, Y., and Chang, I., 2016. Designing a Novel ECG Simulator: Multi-Modality Electrocardiography into a Three- Dimensional Wire Cube Network. *IEEE Technology and Society Magazine*, **35**(1), 75–84.
- Chowdhury, S. R., Chakrabarti, D., and Saha, H., 2008. FPGA realization of a smart processing system for clinical diagnostic applications using pipelined datapath architectures. *Microprocessors and Microsystems*, **32**(2), 107–120.
- Desai, V., 2012. Electrocardiogram (ECG/EKG) using FPGA. Master's Theses, The Faculty of the Department of Computer Science, San Jose State University, 45.
- Egila, M. G., El-Moursy, M. A., El-Hennawy, A. E., El-Simary, H. A., and Zaki, A., 2016. FPGA-based electrocardiography (ECG) signal analysis system using least-square linear phase finite impulse response (FIR) filter. *Journal of Electrical Systems and Information Technology*, **3**(3), 513–526.

- Fu, H., Osborne, W., Clapp, R. G., Mencer, O., and Luk, W., 2009. Accelerating seismic computations using customized number representations on FPGAs. *Eurasip Journal on Embedded Systems*, **2009**(1), 1–13.
- Goldberger, A. L., Amaral, L. A., Glass, L., Hausdorff, J. M., Ivanov, P. C., Mark, R. G., Mietus, J. E., Moody, G. B., Peng, C. K., and Stanley, H. E., 2000. PhysioBank, PhysioToolkit, and PhysioNet: components of a new research resource for complex physiologic signals. *Circulation*, **101**(23), 215–220.
- John, A. D., and Fleisher, L. A., 2006. Electrocardiography: The ECG. *Anesthesiology Clinics of North America*, **24**(4), 697–715.
- Karataş, F., Koyuncu, İ., Tuna, M., and Alçın, M., 2020. Bulanık Mantık Üyelik Fonksiyonlarının Fpga Üzerinde Gerçeklenmesi. *Bilgisayar Bilimleri ve Teknolojileri Dergisi*, **1**(1), 01–09.
- Karatas, F., Koyuncu, I., Alçın, M., and Tuna, M., 2020. Design of FPGA-based ECG Signal Using VHDL. *1st International Hazar Scientific Research Congress*, Baku, Azerbaijan, 114–127.
- Karatas, F., Koyuncu, I., Tuna, M., Alçın, M., Avcioglu, E., and Akgul, A., 2022. Design and implementation of arrhythmic ECG signals for biomedical engineering applications on FPGA. *The European Physical Journal Special Topics*, **231**, 869–884.
- Karataş, F., 2021. VHDL ile FPGA-tabanlı EKG simülatörü tasarımı. Yüksek Lisans Tezi, Afyon Kocatepe Üniversitesi Fen Bilimleri Enstitüsü, Afyonkarahisar, 145.
- Karataş, F., Koyuncu, İ., Alçın, M., and Tuna, M., 2021. Design and implementation of FPGA-based arrhythmic ECG signals using VHDL for biomedical calibration applications. *International Advanced Researches and Engineering Journal*, **5**(3), 362–371.
- Koyuncu, I., Ozcerit, A. T., Pehlivan, I., and Avaroglu, E., 2014. Design and implementation of chaos based true random number generator on FPGA. *22nd Signal Processing and Communications Applications Conference*, IEEE Computer Society, Trabzon, Turkey, 236–239.
- Koyuncu, I., Cetin, O., Katircioglu, F., and Tuna, M., 2015. Edge dedection application with FPGA based Sobel operatör. *23rd Signal Processing and Communications Applications Conference*, IEEE, 1829–1832.
- Koyuncu, I., Akçay, M. S., Tuna, M., and Alcin, M., 2019. Implementation of IQ-Math-based Linear Activation Functions on FPGA. *1st International Congress of Multidisciplinary Studies and Research*, Şanlıurfa, Türkiye, 114–124.
- Kumar, S., Singh, G., and Kaur, M., 2016. FPGA Implementation of Electrocardiography (ECG) Signal Processing 1. *An International Journal of Engineering Sciences*, **21**(8), 58–70.
- Madiraju, N. S., Kurella, N., and Valapudasu, R., 2018. FPGA Implementation of ECG feature extraction using Time domain analysis. *Electrical Engineering and Systems Science, Signal Processing (eess.SP); Hardware Architecture (cs.AR)*, 1–4.
- Meyer-Base, U., 2007. Introduction, In *Digital Signal Processing with Field Programmable Gate Arrays*, Springer, Berlin, Heidelberg. 1–52.
- Moysis, L., Tutueva, A., Volos, C., and Butusov, D., 2020. A Chaos Based Pseudo-Random Bit Generator Using Multiple Digits Comparison. *Chaos Theory and Applications*, **2**(2), 58–68.
- Pan, J., Luan, F., Gao, Y., and Wei, Y., 2020. FPGA-Based Implementation of Stochastic Configuration Network for Robotic Grasping Recognition. *IEEE Access*, **8**, 139966–139973.
- Paul, A. D., Urzoshi, K. R., Datta, R. S., Arsalan, A., and Azad, A. M., 2011. Design and development of microcontroller based ECG simulator. *IFMBE Proceedings*, **35**, 292–295.
- Popa, R., 2019. ECG Signal Filtering in FPGA. *6th International Symposium on Electrical and Electronics Engineering*, Galati, Romania, 1-6.
- Sezdi, M., 2012. Accreditation of Biomedical Calibration Measurements in Turkey. In *Practical Concepts of Quality Control*, IntechOpen, 79–99.
- Shirzadfar, H., and Khanahmadi, M., 2018. Design and Development of ECG Simulator and Microcontroller Based Displayer. *Journal of Biosensors & Bioelectronics*, **9**(3), 1–9.
- Su, W., Liang, Y., Li, M., and Li, Y., 2019. The research and FPGA implementation of ECG signal preprocessing. *International Conference on Biomedical and Health*

*Informatics, IFMBE Proceedings*, Springer Verlag, 167–168.

Taşdemir, M. F., Koyuncu, I., Coşgun, E., and Katircioğlu, F., 2020. Real-Time Fast Corner Detection Algorithm Based Image Processing Application on FPGA. *International Asian Congress on Contemporary Sciences-III*, IKSAD Publishing, Konya, Türkiye, 1–6.

Tlelo-Cuautle, E., Rangel-Magdaleno, J., de la Fraga, L. G., Tlelo-Cuautle, E., Rangel-Magdaleno, J. de J., and De la Fraga, L. G., 2016. Introduction to Field-Programmable Gate Arrays, *In Engineering Applications of FPGAs*. Springer International Publishing, 1–32.

Tuna, M., 2020. A novel secure chaos-based pseudo random number generator based on ANN-based chaotic and ring oscillator: design and its FPGA implementation. *Analog Integrated Circuits and Signal Processing*, **105**(2), 167–181.

Tuna, M., and Fidan, C. B., 2016. Electronic circuit design, implementation and FPGA-based realization of a new 3D chaotic system with single equilibrium point. *Optik*, **127**(24), 11786–11799.

Tuna, M., and Fidan, C. B., 2018. A Study on the importance of chaotic oscillators based on FPGA for true random number generating (TRNG) and chaotic systems. *Journal of the Faculty of Engineering and Architecture of Gazi University*, **33**(2), 469–486.

Tuncer, T., Avaroglu, E., Türk, M., and Ozer, A. B., 2015. Implementation of Non-periodic Sampling True Random Number Generator on FPGA. *Informacije MIDEA*, **44**(4), 296–302.

Do Vale Madeiro, J. P., Cortez, P. C., Salinet, J. L., Pedrosa, R. C., da Silva Monteiro Filho, J. M., and Brayner, A. R. A., 2018. Classical and modern features for interpretation of ECG signal. *Developments and Applications for ECG Signal Processing: Modeling, Segmentation, and Pattern Recognition*, Elsevier, 1–28.

Wagner, G., 2005. Basic Electrocardiography, *In Electrophysiological Disorders of the Heart*, Elsevier Inc., 95–128.

Yang, S., Lam, B., and Ng, C. M. N., 2018. Calibration of Electrocardiograph (ECG) Simulators. *NCSLI Measure*, **12**(1), 46–53.

Zhang, J. A., 2011. The design of ECG signal generator using PIC24F. *Procedia Engineering*, **24**, 523–527.

#### **internet kaynakları**

1-<https://www.xilinx.com/products/boards-and-kits/1-t9ddos.html>, (01.02.2022)

2- <https://litfl.com/ecg-library/>, (05.02.2022)

3-<https://www.skillstat.com/tools/ecg-simulator/>, (10.02.2022)